

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平2-110792

⑬ Int. Cl.³ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)4月23日
G 06 F 15/78 5 1 0 P 7343-5B
11/22 3 4 0 Z 7368-5B

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 昭63-264555

⑰ 出 願 昭63(1988)10月20日

⑱ 発 明 者 高 橋 功 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三 洋 電 機 株 式 有 限 公 司 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁 理 士 西 野 卓 嗣 外1名

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

(1) プログラムを固定的に記憶するプログラム・メモリを内蔵するマイクロコンピュータに於いて、リセット端子とテスト端子に接続されたモード設定回路を設け、前記リセット端子とテスト端子に外部から印加されるレベルの組み合わせ判別により3種以上のモードが設定されることを特徴とするマイクロコンピュータ。

(2) テスト端子のレベルの変化およびテスト端子の初期レベルの判別により複数のモードが設定される請求項1記載のマイクロコンピュータ。

(3) リセット端子電圧およびテスト端子電圧を弁別するそれぞれの比較器と、それぞれの比較器出力を入力する排他オアゲートと、リセット端子電圧を弁別する比較器の反転出力とテスト端子電圧を弁別する比較器出力のアンド論理によりセットされるフリップフロップからなり、前記排他オ

アゲートにより内部ロムと外部ロムが選択され、前記排他オアゲートとフリップフロップ出力のオア論理信号によりプログラム・カウンタのデータがポートに選択出力される請求項1記載のマイクロコンピュータ。

(4) テスト端子レベルおよびテスト端子の初期レベルに基づいて内部ロム・データと外部ロム・データを命令レジスタに選択入力する手段、テスト端子レベルに基づいてPCデータをポートに選択出力する手段、およびテスト端子の初期レベルに基づいて命令レジスタのデータをポートに選択出力する手段を備える請求項1記載のマイクロコンピュータ。

(5) テスト端子をリセット端子に接続することによりモードの1つが選択されることを特徴とする請求項1記載のマイクロコンピュータ。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は外部メモリ・モード、内部メモリ・モードおよびテスト・モード等の設定を単一の端

子により行うことが可能なワンチップマイクロコンピュータに関する。

(ロ) 従来の技術

プログラム・メモリをマスク・ロムとして内蔵するワンチップマイクロコンピュータ(以下、単にマイクロコンピュータと称する)はパワーオンによりプログラム・メモリの実行を開始する。そこで、そのプログラム・メモリが正しくプログラムを記憶しているか否か、あるいはマイクロコンピュータの諸機能が正常に動作をするか否かの製品テストを行うには、プログラム・メモリの実行を制御することが必要となる。また、プログラム・メモリおよびデータ・メモリの拡張が可能なマイクロコンピュータでは、そのための制御端子も必要である。

これら3~4種のモードを設定するため、これまでに内部ロム・モードと外部ロム・モードを切り替え制御する端子と、実行モードとテスト・モードとを切り替え制御する端子の2つの端子を備えるマイクロコンピュータ、あるいは単一のテ

スト端子を3値入力(例えば0V, 5V, 10V)とし、テスト端子のレベルにより3種のモードを設定するマイクロコンピュータが知られているが、前者は制御端子が増加することによりポート数が制限される欠点を有し、後者は特殊な入力レベルを持つ回路が必要になると共に高耐圧化が必要となる欠点を有している。

(ハ) 発明が解決しようとする課題

この発明はこのような点に鑑みてなされたものであって、単一のテスト端子により複数のモードを設定することが可能なマイクロコンピュータを提供することにある。

(ニ) 課題を解決するための手段

この発明は、リセット端子のレベルとテスト端子のレベルの組み合わせ判別、あるいはテスト端子のレベルの変化およびテスト端子の初期レベルの判別により3種以上のモードが設定される点を特徴とする。

(ホ) 作用

上記構成は、単一のテスト端子への極普通の信

- 3 -

号の入力により複数のモードが設定されるよう作用する。

(ハ) 実施例

第1図はこの発明の一実施例のブロック図であり、(1)はマイクロコンピュータ本体、(2)はプログラム・カウンタ(以下、PCと称する)、(3)は内部ロム、(4)は命令レジスタ、(5)は命令デコード、(6)は初期化回路、(7)は初期化回路(6)に制御信号を出力すると共に各種のモードを設定するモード設定回路、(8)は内部バス、(9)はリセット端子、(10)はテスト端子、(11)~(13)はポート、(14)は外部ロムである。なお、マイクロコンピュータ本体(1)の外部回路は一接続例を示している。

以下、第2図のタイミング・チャートを参照してモード別に説明する。

(1) 内部ロム実行モード: テスト端子(10)を接地した状態でパワーオン・リセットが行われると、内部ロム(3)の命令が実行される。タイミング・チャートを第2図(a)に示す。

- 4 -

"L"レベルTESTを入力する入力バッファCP₁の"L"レベル出力TEST'がモード設定回路(7)に入力されると、アンドゲートAN₁およびAN₂がオフし、インバータIN₁により反転された*TESTは"H"レベルとなる。また、リセット端子電圧RESが立ち上がり、時間T₁に入力バッファCP₁のスレッシュホールド電圧V_{th1}になると、入力バッファCP₁は"H"レベルの*RES'を出力する。この*RES'をインバータIN₁により反転したRESは時間T₁以降"L"レベルとなり、アンドゲートAN₁およびAN₂をオフする。そして、このRESと*TESTを入力するアンドゲートAN₁の出力RSTはV_{DD}の立ち上がる時間T₁に立ち上がり、時間T₂で立ち下がる。このRSTはRSフリップフロップFFのリセット端子に入力され、RSTの立ち上がりエッジにてこれをリセットし、そのQ出力を"H"レベルとする。さらに、このQ出力を入力するオアゲートORのPCINT出力を"H"レベルとする。"H"レベルのPCINTはアンドゲートA

- 5 -

- 6 -

N_1 をオンし、インバータ IN_1 により制御されるアンドゲート AN_1 をオフする。さらに、 RST は初期化回路(6)にも入力されており、初期化回路(6)は RST が所定時間“H”レベルを継続すると、 PSW 、 PC 、レジスタ類を初期化する。

一方、 $*RES'$ と“L”レベルの $TEST'$ が入力される排他オアゲート EOR の出力 $IRINT$ は $*RES'$ が“L”レベルである時間 $T_1 \sim T_2$ には“L”レベルであり、時間 T_2 以降は“H”レベルとなる。そこで時間 T_2 以降は“H”レベルの $IRINT$ により、アンドゲート AN_1 はオンし、インバータ IN_1 により制御されるアンドゲート AN_1 はオフする。

したがって、時間 T_2 にマイクロコンピュータが初期化されると、 $PC(2)$ によって0番地から順に内部ロム(3)がアクセスされ、その命令がアンドゲート AN_1 、命令レジスタ(4)を介して命令デコード(5)に転送され、実行される。

〔2〕内部ロム読出しモード：リセット端子(9)を接地すると共にテスト端子(10)に“H”レ

ベルを与えることにより、内部ロム(3)のデータがポート出力される。タイミング・チャートを第2図(b)に示す。

$TEST$ 端子(10)が“H”レベルであるため入力バッファ CP_1 の出力 $TEST'$ が“H”レベルとなり、またリセット端子(9)の接地により \overline{RES} および $*RES'$ が“L”レベルとなる。そこで、 $*RES'$ を入力するインバータ IN_1 の出力 RES が“H”レベルとなり、 RES と $TEST'$ とを入力するアンドゲート AN_1 は“H”レベルの $ROMRD$ 信号を出力する。 $ROMRD$ が“H”レベルになると、命令デコード(5)のデコードが禁止されると共にアンドゲート AN_1 をオンする。さらに、図示しない制御回路により $PC(2)$ により0番地から順に内部ロム(3)がアクセスされ、内部ロム(3)の全てのデータがデコードされることなく、命令レジスタ(4)、内部バス(8)を介して所定のポート(13)に出力する。

〔3〕外部ロム実行モード：テスト端子(10)をリセット端子(9)に接続した状態でパワーオン

- 1 -

・リセットが行われると、所定のポートから PC データが出力され、それによりアクセスされる外部ロム(14)の命令が実行される。そのタイミング・チャートを第2図(c)に示す。

入力バッファ CP_1 、 CP_2 の閾値電圧 V_{11} 、 V_{12} は $V_{11} > V_{12}$ に設定されており、その出力 $*RES'$ と $TEST'$ は僅かな時間差の時間 T_1 、 T_2 で立ち上がる。これらをそれぞれインバータ IN_1 、 IN_2 により反転した RES および $*TEST$ を入力するアンドゲート AN_1 の出力 RST は電源電圧 V_{DD} が立ち上がる時間 T_1 で立ち上がり $TEST'$ が立ち上がる時間 T_2 で立ち下がる。この RST は RS フリップフロップ FF をリセットし、その \overline{Q} 出力を“H”とすると共に初期化回路(6)に入力される。

さて、時間 T_2 にはマイクロコンピュータは初期化が終了し、内部クロックに基づいて動作を開始する。しかし、時間 T_2 にはマイクロコンピュータは数クロックからなる命令サイクルの1クロック目の、例えば $PC(2)$ のデータを図示しない P

- 2 -

C レジスタにセットし、 $PC(2)$ のデータを+1する動作をしている。そこで、 $*RES'$ と $TEST'$ を入力する排他オアゲート EOR が $T_1 \sim T_2$ 間で“H”レベルの $IRINT$ を出力しても、現実的には $IRINT$ は“L”レベルと考えることができる。そして、“L”レベルの $IRINT$ によりアンドゲート AN_1 がオフし、インバータ IN_1 により制御されるアンドゲート AN_1 がオンする。

また、インバータ IN_2 の反転 $*RES'$ と $TEST'$ が入力されるアンドゲート AN_2 は $T_1 \sim T_2$ 間で“H”となるパルスを出力し、 RS フリップフロップ FF をセットする。これによりその \overline{Q} 出力が“L”となり、オアゲート OR の出力 $PCINT$ が時間 T_2 以降“L”レベルとなる。そして、“L”レベルの $PCINT$ によりアンドゲート AN_2 がオフし、インバータ IN_2 により制御されるアンドゲート AN_2 がオンする。

したがって、時間 T_2 に初期化が終了し、時間 T_2 に $PC(2)$ のデータが時間 T_2 にアンドゲート

- 3 -

- 10 -

AN₀を介してポート(11)に出力される。そして、それにより外部ROM(14)が0番地から順にアクセスされ、その命令がポート(12)、アンドゲートAN₀、命令レジスタ(4)を介して命令デコーダ(5)にセットされ、実行される。

〔4〕外部命令印加テスト・モード：テスト端子(10)を接地した状態でパワーオン・リセットし、しかる後にテスト端子(10)を“H”レベルとすることにより、PC(2)のデータに無関係なテスト・モードの命令を実行する。そのタイミング・チャートを第2図(d)に示す。

TEST'がRESに遅れて立ち上がることにより、インバートIN₀の反転RESとTEST'を入力するアンドゲートAN₀は“H”レベルを出力することがない。そこで、RSフリップフロップFFはRSTの立ち上がりによりリセットされたままであり、そのQ出力は継続的に“H”レベルとなる。一方、TEST'とRESを入力する排他オアゲートEORの出力IRINTはTEST'の立ち上がる時間T₁以降は“L”レベル

となる。

そこで、テスト端子(10)の立ち上げ後、テスト・モード（図示せず）より命令をポート(12)に出力することによりその命令が、アンドゲートAN₀、命令レジスタ(4)を介して命令デコーダ(5)にセットされ、実行される。

各モード時の真理値を下表に示す。

	TEST	RES	RST	IRINT	PCINT	ROMRD
リセット	L	L	H	—	—	L
内部ROM実行	L	H	L	H	H	L
内部ROM読出	H	L	L	H	H	H
外部ROM実行	L→H	H	L	L	H	L
外部命令印加	RES	H	L	L	L	L

続いて第3図を参照してモード設定回路の変形例を説明する。

このモード設定回路は、テスト端子(10)のレベルがRSTの立ち上がり時に“H”レベルであるか、“L”レベルであるか、およびテスト端子(1

-11-

0)のレベルが“L”から“H”に変化するすることにより各種モードを判別する。以下モード別に説明する。

〔1〕内部ROM実行モード：テスト端子(10)が接地された状態でパワーオン・リセットすることにより内部ROMが実行される。そのタイミング・チャートを第4図(a)に示す。

DフリップフロップFF₁はシステム・クロックのポジティブ・エッジにてRST“H”をラッチする。すなわち、DフリップフロップFF₁はV_{DD}のポジティブ・エッジを1システム・クロック遅延する。このQ出力はDフリップフロップFF₂のトリガ端子6に輸入されており、フリップフロップFF₂は入力バッファCP₁の出力をフリップフロップFF₁のQ出力の立ち上がりでラッチする。入力バッファCP₁の出力TEST'は継続的に“L”レベルであり、フリップフロップFF₂により“L”レベルが保存されると共に“L”レベルのROMRDを出力する。また、TEST'を反転するインバートIN₀は“H”レベ

-12-

ルを出力し、オアゲートOR₁を介して“H”レベルのIRINTおよびPCINTを生成する。

〔2〕内部ROM読出しモード：テスト端子(10)を“H”レベルとした状態でパワーオン・リセットすることにより、内部ROM(3)のデータがポート出力される。タイミング・チャートを第4図(b)に示す。

リセット時にテスト端子(10)が“H”レベルであるため、ROMRDを生成するDフリップフロップFF₂は“H”レベルのTEST'をラッチし、“H”レベルのROMRDを生成する。そして、これを入力するオアゲートOR₁により“H”レベルのIRINTおよびPCINTを生成する。

〔3〕外部ROM実行、外部命令印加モード：テスト端子(10)をリセット端子(9)に接続した状態でパワーオン・リセットが行われると、所定のポートからPCデータが出力され、それによりアクセスされる外部ROM(14)の命令が実行される。そのタイミング・チャートを第4図(c)に示す。

DフリップフロップFF₂はテスト端子(10)の

-13-

-14-

初期レベル“L”をラッチしており、ROMRDは“L”レベルである。入力バッファCP₁、CP₂の閾値V_{1,1}、V_{1,2}はV_{1,1}>V_{1,2}に設定されており、RESが立ち上がると、時間T₁で入力バッファCP₁がオンし、これに遅れる時間T₂で入力バッファCP₂がオンする。したがって、インバータIN₁の出力は初期化が終了する時間T₁以前の時間T₂に“H”レベルから“L”レベルに変化する。これにより、オアゲートORは“L”レベルのIRINTおよびPCINTを生成する。

変形例の各モード時の真理値を下表に示す。

	TEST	RES	RST	IRINT	PCINT	ROMRD
リセット	L	L	H	—	—	L
内部ROM実行	L	H	L	H	H	L
内部ROM読出	H	H	L	H	H	H
外部ROM実行 外部命令印加	RES	H	L	L	L	L

(+) 発明の効果

以上述べたように、この発明によれば単一のテ

スト端子を備えるのみで、しかも無普通の信号の入力により複数のモードを設定し得るマイクロコンピュータを提供することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例のブロック図、

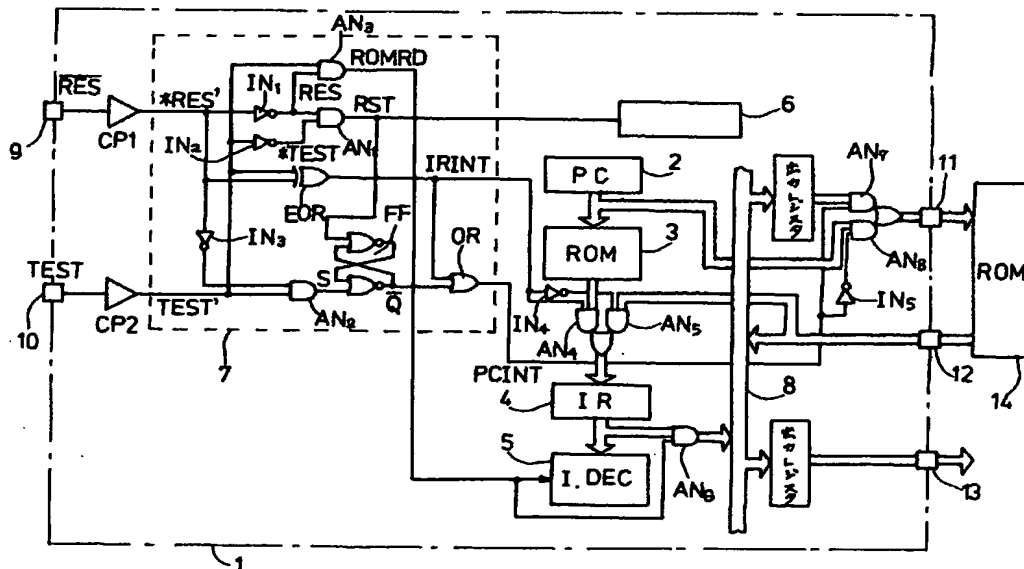
第2図(a)、(b)、(c)、(d)は、それぞれ内部ROM実行時、内部ROM読出し時、外部ROM実行時および外部命令印加時のタイミング・チャート、

第3図はモード設定回路の変形例のブロック図、

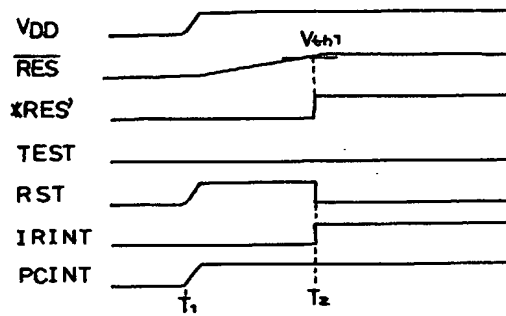
第4図(a)、(b)、(c)は、それぞれ変形例の内部ROM実行時、内部ROM読出し時、外部ROM実行時および外部命令印加時のタイミング・チャートである。

(1)…マイクロコンピュータ、(2)…プログラム・カウンタ、(3)…内部ROM、(4)…命令レジスタ、(5)…命令デコード、(6)…初期化回路、(7)…モード設定回路、(8)…内部バス、(14)…外部ROM。

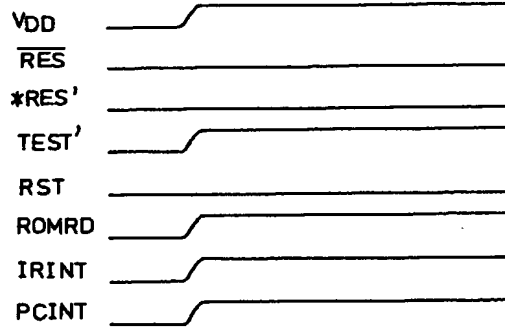
第1図



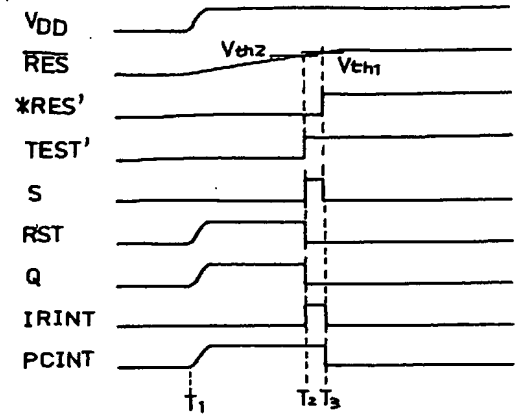
第 2 図 (a)



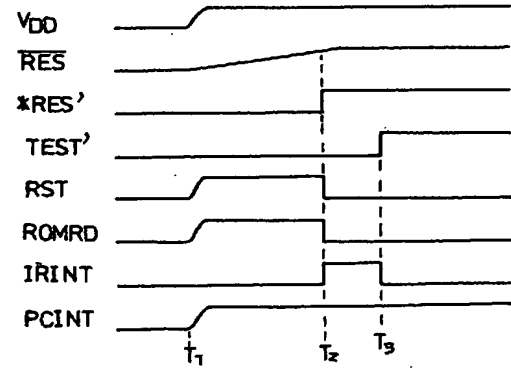
第 2 図 (b)



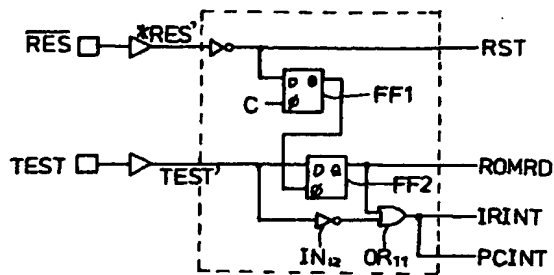
第 2 図 (c)



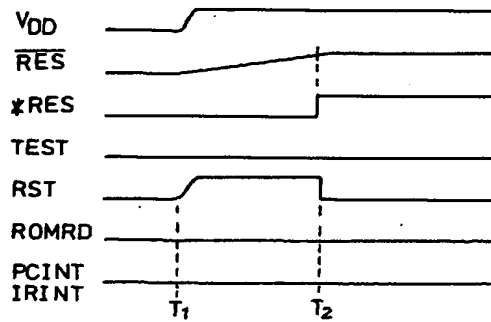
第 2 図 (d)



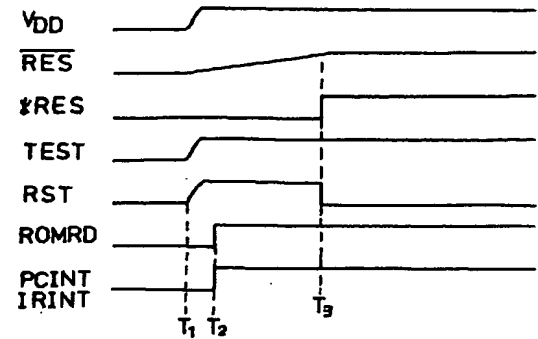
第 3 図



第 4 図 (a)



第 4 図 (b)



第 4 図 (c)

